

## Multimedia vo cercando

*I microprocessori sono superpotenti ma poco portati alla realtà, che balla, canta e si muove. Già nel 1997 i nostri elaboratori da tavolo si arricchiranno di nuove funzionalità nel campo dell'animazione e dell'elaborazione dei segnali, il tutto semplificando l'hardware. È la rivoluzione multimediale del silicio: diamo uno sguardo alle due proposte più chiare, Sun VIS e Intel MMX.*

*di Leo Sorge*



Il crollo del prezzo di funzionalità di classe elevata e l'irresistibile ascesa del microprocessore stanno dando all'industria dei personal quella spinta verso la grafica e le telecomunicazioni promessa da un paio d'anni ma ancora sulla carta. Alcune innovazioni tecnologiche, indipendentemente dal successo ottenuto nel passato o ipotizzabile nel futuro hanno messo pressione all'industria a più alto valore aggiunto che esista, quella dei PC. Videogiochi, supercomputer grafici, video-on-demand, reti locali e geografiche hanno spinto le competenze degli esperti verso nuovi limiti che adesso stanno entrando in casa. Il passo successivo sarà l'inserimento della telecamera, che grazie all'ISDN e ad Internet permetterà la videotelefonata, e grazie al CD riscrivibile evolverà verso la videoregistrazione digitale. Ammesso e

non concesso che alcune di queste funzioni possano essere svolte anche dagli incipienti network computer, nulla potrà eguagliare le capacità del PC, moderno blob che tutto fagocita.

Il personal computer sta quindi assorbendo nuove funzionalità che lo rendono senz'altro più attraente. C'è anche un effetto collaterale che semplificherà anche la connessione con il telefono ed il video. Infatti la grande omogeneità che c'è nell'elaborare i dati, quali essi siano, in formato analogico, fa sì che un hardware pensato per la grafica possa trasmettere dati e sintetizzare musica con grande semplicità. Ecco quindi che la scheda madre del PC, che una volta alloggiava componenti ed altre schede, oggi integra i principali controller per le memorie di massa e le porte esterne, e un domani assai prossimo, diciamo per

questo Natale, potrebbe integrare anche una scheda video accelerata, una scheda audio e le funzioni di fax/modem. I produttori di add-on potranno scegliere tra diventare fornitori di solo software oppure spingersi più avanti nella progettazione di nuove funzioni hardware.

### **Le basi: i dati a pacchetti**

In attesa di questi sviluppi possiamo consolarci con la nuova ondata di processori multimediali. Il concetto di base che ha reso possibili queste nuove elaborazioni è la maggiore capacità dei sistemi. Nati a 4 bit con l'Intel 4004, evolverono subito sugli 8 bit e poi via via sui 16, 32 ed ora 64 bit. Poiché ormai da tempo si caricano contemporaneamente due operandi, l'accesso alla memoria

fisica è oggi per lo meno di 64 bit (Pentium). L'elaborazione numerica del segnale però agisce prevalentemente su quantità di 4 o 8 bit, talvolta 16, per cui il trucco è di impacchettare in parole da 32 o 64 bit più quantità che poi potranno essere elaborate in modo indipendente da hardware specifico integrato sul chip. Le strade seguite per questi progetti vanno in due direzioni. Hewlett Packard e Mips hanno agito direttamente su istruzioni già esistenti, modificando l'hardware del microprocessore in modo da supportare il trattamento di piccole quantità di dati ad elevato parallelismo e con compatibilità software. Sun ed Intel hanno invece scelto di progettare *ex novo* una unità di esecuzione, senza modificare l'hardware interno al microprocessore. La prima scelta permette di ridurre i tempi di progettazione e di massimizzare le prestazioni conseguenti, ma rende assai difficile l'eventuale estrazione delle funzionalità in una unità a parte. La seconda scelta, se inizialmente richiede costi e tempi più sensibili poi si ripaga con il più lungo ciclo di vita.

Non c'è dubbio che la multimedialità parte dalla grafica, poi arricchita dal suono, quindi espansa in direzione della tridimensionalità ed infine trasmessa sulle linee telefoniche prima ancora di integrare il segnale video. Il segnale audio tipico si basa su campioni a 16 bit, anche se ne esistono anche a 8 e 12 bit; la grafica usa campioni a 8 o 24 bit, e questi ultimi possono essere visti come tre blocchi da 8 bit, uno per ogni colore fondamentale (RGB, red, green, blue). Dal punto di vista algoritmico, poi, la tradizionale esecuzione della elaborazione grafica si può suddividere in due fasi, una geometrica ed una di colorazione (rendering). La prima gestisce i dati a blocchi di 4 bit o multipli, la seconda – facendo riferimento al singolo punto – elabora su un bit per volta. Una volta i microprocessori non avevano né la potenza né la versatilità per eseguire queste fasi (o meglio le singole operazioni che le compongono), che quindi erano affidate integralmente ad hardware specializzato. Oggi quei vincoli sono in parte rimossi, per cui le CPU gestiscono direttamente la fase geometrica, lasciando il rendering ad hardware specializzato che lo accelera di uno o due ordini di grandezza. La stessa cosa sta succedendo per le immagini tridimensionali in movimento.

[Intel home](#) [pc focus](#) [contents](#) [search](#) [feedback](#) [support](#)

intel

## Intel Announces MMX™ Technology

- [Press Release](#)
- [Hear what the Industry supporters have to say about MMX™ technology](#)
- [Frequently Asked MMX™ Technology Questions](#)
- [Technical Overview of MMX™ Technology:](#)
- [MMX™ Technology Developers Guide: \[html\]\(#\) or \[pdf\]\(#\)](#)
- [Programmers Reference Manual: \[html\]\(#\) or \[pdf\]\(#\)](#)
- [Introduction to MMX™ Technology Tutorial](#)
- [Email Subscription for the latest information](#)
- [Technical Support](#)



La documentazione che Intel mette a disposizione su MMX (<http://www.intel.com/pc-supp/multi-med/mmx>) è davvero completa.

### Intel MMX

Il nuovo corso onomastico di Intel richiede attenzione anche su questo progetto. Una volta abbandonate le sigle del tipo x86, fatto avvenuto con il Pentium, non si torna indietro. Tutti i processori della prossima generazione, da Klamath a Deschutes per arrivare fino a Merced, il prodromo dell'architettura studiata con Hewlett-Packard, prendono nome da fiumi della California. Se vogliamo fare dietrologia spicciola, in ciò possiamo trovare un'analogia con i nomi in codice che accompagnarono i successori di Windows 3.1, che vennero chiamati Chicago, Daytona e Cairo, da tre limitrofe città dell'Illinois. Il preambolo serve ad introdurre una precisazione di Intel: MMX non è un acronimo, bensì un marchio registrato, il che probabilmente risolve anche dei problemi legali. La decodifica in MultiMedia eXtensions va quindi interpretata come una semplice scelta giornalistica che noi comunque seguiamo.

Torniamo a bomba. Le MultiMedia eXtensions sono 57 nuove istruzioni di elaborazione numerica del segnale che accelerano le prestazioni dei chip di un fattore che varia da 2 a 8 volte nelle singole situazioni e di una quantità globale che varia dal 50 al 100%. L'adozione di MMX non comporta nessuna modifica

al software esistente, anche se – come vedremo – il programmatore dovrà seguire alcune regole per evitare conflitti.

Partiamo dal modello software delle estensioni. Si tratta di 8 nuovi registri a 64 bit, denominati da MM0 a MM7. Per non modificare il software esistente questi registri sono curiosamente mappati agli stessi indirizzi dei registri FP0-FP7, quelli dell'unità in virgola mobile, e non esiste un bit di segnalazione di quale sia l'unità attiva, per cui tutto il lavoro va fatto via software. Ciò comporta due conseguenze: la prima è che FPU ed MMX non possono essere usate contemporaneamente; la seconda è che non c'è modo diretto di sapere se il contenuto delle locazioni mappate a quegli indirizzi è dell'uno o dell'altro. In realtà il problema è più che altro teorico, in quanto la sovrapposizione delle fasi di elaborazione non si verifica quasi mai, e sono previsti alcuni trucchi di programmazione per generare eccezioni di segnalazione.

Passiamo ai 57 codici mnemonici, che possono essere divisi in sei categorie fondamentali, ovvero trasferimento e manipolazione dati, aritmetici, logici, shift, comparazioni e varie. Come di consueto le modalità di programmazione sono fortemente condizionate dai tipi elementari di dato, resi espliciti dalle istruzioni del primo gruppo, che quindi

vediamo in un minimo di dettaglio. Le quantità sono indicate con l'iniziale, per cui B sta per byte, W sta per word (16 bit) e D sta per double word (32 bit).

I codici fondamentali sono semplici: MOV, PACK, PUNPCK, ad indicare il trasferimento di 64 bit, l'impacchettamento e lo spacchettamento. PACK può avere la saturazione con segno (SS) e senza (US); PUNPCK agisce a partire da destra (byte alti) o da sinistra (byte bassi). Sembra semplice ma è questa la base di tutto. Ad esempio un algoritmo molto noto nell'elaborazione numerica dei segnali è la trasformata veloce di Fourier, in breve FFT, basata su una sequenza di successive moltiplicazioni e somme dei risultati parziali. Oggi è possibile implementare in hardware una unità che in un solo ciclo esegua la moltiplicazione di due valori e la somma del risultato ad un parziale preesistente. Questa operazione va svolta anche velocemente, perché nonostante sia un algoritmo semplificato, dati N campioni la FFT richiede un numero di operazioni pari ad  $N \cdot \log_2 N$ , per cui già con 8 campioni, il numero di moltiplicazioni/addizioni è  $8 \cdot 3 = 24$ . MMX esegue la somma/moltiplicazione, quindi l'FFT, su quantità a 16 bit; vedremo che VIS lo fa solo ad 8 bit. Istruzioni di questo tipo, cioè dove la stessa operazione (o sequenza di operazioni) viene ripetuta su un blocco di operandi, viene definita SIMD, ovvero *single instruction, multi-*

*ple data*. È questa una delle architetture di base del parallelismo; le altre tre sono, nelle possibili combinazioni, MIMD e MISD, con istruzioni multiple ma dati singoli o multipli. La quarta possibilità,

la SISD, è la classica elaborazione non parallela, nella quale ad ogni istruzione viene associato un solo dato.

Come verrà implementata l'estensione al set d'istruzioni? È infatti lecito attendersi una migrazione di massa alle estensioni multimediali. In una prima fase tale passaggio sarà gestito quasi esclusivamente attraverso dei driver software, che riducono la possibilità di conflitti pagando un prezzo in termini di prestazioni. Questa scelta sarà semplificata anche dal know-how introdotto negli ultimi anni da Intel attraverso il concetto di NSP, Native Signal Processing, un approccio alla programmazione dell'elaborazione numerica dei segnali che suggeriva come sfruttare la potenza inutilizzata di chip X86. Solo in un secondo momento, magari con l'arrivo di Klamath, il codice MMX verrà incluso direttamente nelle applicazioni. Questa situazione creerà una vera e propria Babele multimediale, dato che le due fasi coesisteranno in un mercato che ospita anche schede multimediali e PC Cyrix. Come in tutti i periodi di grande turbolenza, però, si creano delle opportunità. MMX può essere implementato anche come override di sistemi esistenti, ed inoltre è una specifica eminentemente software, per cui può essere riprogettata, modificata e migliorata. Si creano quindi i presupposti per la stessa situazione che a suo tempo si è vista per le FPU, con la differenza che oggi la base



VIS



## The VISUAL INSTRUCTION SET

Today, the floating point unit, caches and memory management units are expected components of a commodity microprocessor. This was not always the case and in fact the addition of the new functionality lead to new levels of performance and cost effectiveness in the processors that were first to incorporate the changes.

UltraSPARC™ raises the microprocessor performance bar by being the first microprocessor to incorporate support for 2D and 3D imaging and graphics, video compression and decompression, audio, networking, encryption and other algorithms. UltraSPARC does this through the Visual Instruction Set (VIS™), which accelerates these algorithms at up to 10 operations per cycle or 2 billion operations per second for a 200MHz processor.

### Now Available

The VIS Software Developer's Kit (VSDK) is now available. Contact Ken Tallman at 408-774-8619 for more information.

### News Releases

- [Sun Drives VIS Instruction Set as an Open Standard](#)  
*OpenVIS Targets New-Media Processing Standards*
- [Meet The VIS Kids](#)  
*New-Media Gurus Benchmark UltraSPARC's VIS*
- [VIS Software Developer's Kit \(VSDK\)](#)



Sun Microelectronics (<http://www.sun.com/sparc/vis>) ha lanciato un suo marchio per il nuovo Visual Instruction Set.

Category	Mnemonic	# of Different Opcodes	Description
Arithmetic	PADD[B, W, D]	3	Add with wrap-around
	PADDs[B, W]	2	Add signed with saturation
	PADDUS[B, W]	2	Add unsigned with saturation
	PSUB[B, W, D]	3	Subtract with wrap-around
	PSUBs[B, W]	2	Subtract signed with saturation
	PSUBUS[B, W]	2	Subtract unsigned with saturation
	PMULHW	1	Packed multiply high on words
	PMULLW	1	Packed multiply low on words
Comparison	PRADDV	1	Packed multiply on words and add resulting pairs
	PCMPSEQ[B, W, D]	3	Packed compare for equality
Conversion	PCMPGT[B, W, D]	3	Packed compare greater than
	PACKUSWB	1	Pack words into bytes (unsigned with saturation)
	PACKSS[WB, DW]	2	Pack (signed with saturation)
	PUNPCKH [BW, WD, DQ]	3	Unpack (interleave) high-order from HMX reg.
Logical	PUNPCKL [BW, WD, DQ]	3	Unpack (interleave) low-order from HMX register
	PAND	1	Bitwise AND
	PANDN	1	Bitwise AND NOT
	POR	1	Bitwise OR
Shift	PXOR	1	Bitwise XOR
	PSLL[W, D, Q]	6	Packed shift left logical by amount specified in HMX register or by immediate value
	PSRL[W, D, Q]	6	Packed shift right logical by amount specified in HMX register or by immediate value
Data Transfer	PSRA[W, D]	6	Packed shift right arithmetic by amount specified in HMX register or by immediate value
FP & HMX State	MOV[D, Q]	4	Move to HMX register or from HMX register
	ENHS	1	Empty HMX state

Le nuove istruzioni di Intel. La terza colonna fa riferimento al numero di istruzioni raggruppate con lo stesso mnemonico. La documentazione è quella ufficiale ma la tabella HTML è riformattata.

installata è 100 volte più ampia e i clienti interessati sono potenzialmente tutti. Non è sbagliato attendersi che aziende vecchie e nuove si lancino nel business, comunque dorato per Intel ed AMD.

Per chi volesse saperne di più c'è il sito Intel, all'URL <http://www.intel.com/pc-supp/multimed/mmx>.

## Sparc VIS

In latino vis era la forza, nome irrego-lare (il genitivo era roboris) rimasto in parole quali robusto e similari. Chissà se i progettisti di Sun ci hanno pensato nella scelta dell'acronimo del loro Visual Instruction Set! VIS è stato aggiunto ad UltraSPARC, il chip a 64 bit di recente uscita, come soluzione a sé stante, ed è previsto venga implementato anche su microJAVA, il più potente dei Java chip pianificati da Sun visto il successo del suo nuovo ambiente di sviluppo.

Dal punto di vista fisico si identificano due unità interne, una per addizioni e sottrazioni e l'altra per le moltiplicazioni; le operazioni di servizio, tipicamente il calcolo degli indirizzi di memoria, vengono affidate alle unità degli interi. Anche in questo progetto, come per l'MMX, i dati multimediali risiedono nei registri dell'unità in virgola mobile, che sono 32 e possono essere usati integralmente per i calcoli grafici. Questa scelta è stata fatta per sfruttare meglio le opzioni di parallelismo interno del microprocessore, che così può tenere più impegnate le varie sezioni (sia la pipeline che le diverse unità). Infatti UltraSPARC può dare fino a 4 risultati per ogni ciclo, ma di questi uno deve provenire dai registri FP,

Categoria	Mnemonic	# operandi	Descrizione
Arithmetic	FPADD 16/32 (S)	3	Addizione di 4x16 o 2x32 bit
	FPSUB 16/32 (S)	3	Sottrazione di 4x16 o 2x32 bit
	FMUL0x16 16/32 (S)	3	Molt. 4 pixel da 8 bit con 4 cost. a 16
Comparison	FCHPcc 16/32	3	Confronta 4x16 o 2x32 bit
Conversion	FPACK16	2	Impacchetta 4 pixel a 16 bit
	FPACK32	3	Somma due pixel a 32 bit
	FPACKFIX	2	Impacchetta 2 pixel a 32 bit
	FEXPAND	2	Espande 4 pixel a 8 bit
	FFMERGE	3	Merge di 2 gruppi di 4 pixel a 8 bit
Logical	Flogical (S)	3	10 operazioni (AND, OR etc)
	FNOT (S)	2	negazione (AND, OR etc)
Data Transfer	FSRC (S)	2	copia
	FLS (S)	2	carica i registri con 8 o 16 bit
	STF (S)	2	scarica i registri con 8 o 16 bit
	QLDA	2	caricamento atomico di 128 bit
	PST (S)	2	caricamento parziale
Varie	EDGE8/6/32 (L)	3	cerca i bordi
	PDIST	3	distanza tra i bordi
	ARRAY8/16/32	3	converte indirizzi 3D in blocked byte
	ALIGNADDR (L)	3	preispone l'accesso non allineato
	FALIGNDATA	3	allinea i dati
	FZERO (S)	1	riempie una locazione di zero
	FONE (S)	1	riempie una locazione di uno
	SHUTDOWN	0	prepara la CPU allo spegnimento

Le nuove istruzioni di Sun in una documentazione non ufficiale da noi tradotta in italiano. Qui la terza colonna è relativa al numero di operandi, non di istruzioni. Le lettere tra parentesi accanto agli operandi denotano le opzioni a singola precisione (S) e little-endian (L), mentre storicamente Sun è big-endian. Grazie a questa opzione i nuovi chip Sun potrebbero eseguire anche Windows NT.

per cui mappando la grafica nei registri FP si può sfruttare meglio questa caratteristica. Inoltre in generale le nuove istruzioni vengono eseguite in più cicli macchina, ma sfruttando la pipeline si può comunque ottenere un risultato per ogni ciclo macchina, a parte la fase di caricamento del primo blocco di dati. VIS si è occupato molto della riproduzione del video sia per la decompressione (DCT, trasformata discreta del coseno)

che nella compressione (MPEG-1). In totale le istruzioni sono 42, senza tener conto delle opzioni in singola precisione e little o big endian (vedi figura 4). Anche in questo caso c'è un sito sul Web, anche se più sintetico rispetto a quello Intel: <http://www.sun.com/sparc/vis/>

## Conclusioni

Noi non abbiamo ancora visto nessuno di questi chip – peraltro MMX non è uscito – quindi possiamo riferire delle opinioni altrui. Sulla carta VIS è in generale più potente, anche se con qualche distinguo, ed è già orientato verso le funzionalità video sia come server (compressione) che come client (decompressione). Il suo successo, per ora affidato solo a Sun e ai suoi cloni, sarà legato al successo dei network computer con il Java CHIP che lo implementa. Un minimo di speranza lo dà anche OpenVIS, il programma di Sun per cedere in licenza a terzi il set d'istruzioni.

Nulla in confronto alla base installata e alle opportunità date da MMX, che comunque è robusto, potente e compatibile. Qualche altra cosa la diciamo nel riquadro Future Chips pubblicato in questo stesso articolo, comunque in attesa che 3D e video entrino nel personal.

MS

## Future Chips

Intel ha quindi lanciato MMX, la sua proposta per la multimedialità: si tratta di un progetto a 32 bit facile da integrare. Lo inserirà nella prossima generazione di Pentium e Pentium Pro, in particolare su Klamath, il Pro single chip atteso all'inizio del 1997. Anche AMD ha acquisito la licenza di MMX, che verrà integrato nella sua linea di prodotto, completata con l'acquisizione di NexGen. Questa scelta spiazza completamente due nomi, Cyrix e PowerPC. Il produttore di Richardson, in Texas, è stato il primo ad individuare l'integrazione dei controller prima e della multimedialità poi come chiave del mercato, progettando il suo chip M2 con alcune di queste *feature*. I ritardi introdotti nella produzione dalla saga del suo predecessore, il 6x86, hanno fatto scivolare il chip multimediale in un periodo nel quale gli OEM preferiscono ancora puntare su Intel. È questa una delle cause che hanno convinto Cyrix a mettere in commercio una sua linea di personal computer, d'accordo con EDS.

PowerPC sta vivendo un momento strano. L'alleanza IBM, Apple e Motorola ha fallito l'obiettivo di dar fastidio ad Intel, e il prodotto finale, quel PPC 620 che avrebbe dovuto far tremare il mondo, non riesce a mantenere le promesse in termini di prestazioni. Il *neue kurze* di Apple, con le licenze al suo sistema operativo, e gli investimenti di Motorola Sistemi possono aumentare un po' il venduto del chip ma non certo renderlo un problema per l'arena X86. Non sarà poi il PowerPC a 500 MHz a risolvere le vendite: si tratta di un progetto in tecnologia bipolare (non C-Mos, quindi) che la Exponential Technology di San Jose, in California, sta approntando.

Nel frattempo rimbalzano ancora notizie su Trimedia, la divisione di Philips dedicatasi al Vliw già da una decina d'anni. Il suo chip, TM1, è un 100 MHz che eseguirebbe 4 miliardi di istruzioni al secondo, contro i 200 milioni del Pentium alla stessa velocità.

Leo Sorge è raggiungibile su MC-link all'indirizzo [MC6750](mailto:MC6750) e su Internet all'indirizzo [leo.sorge@mclink.it](mailto:leo.sorge@mclink.it)