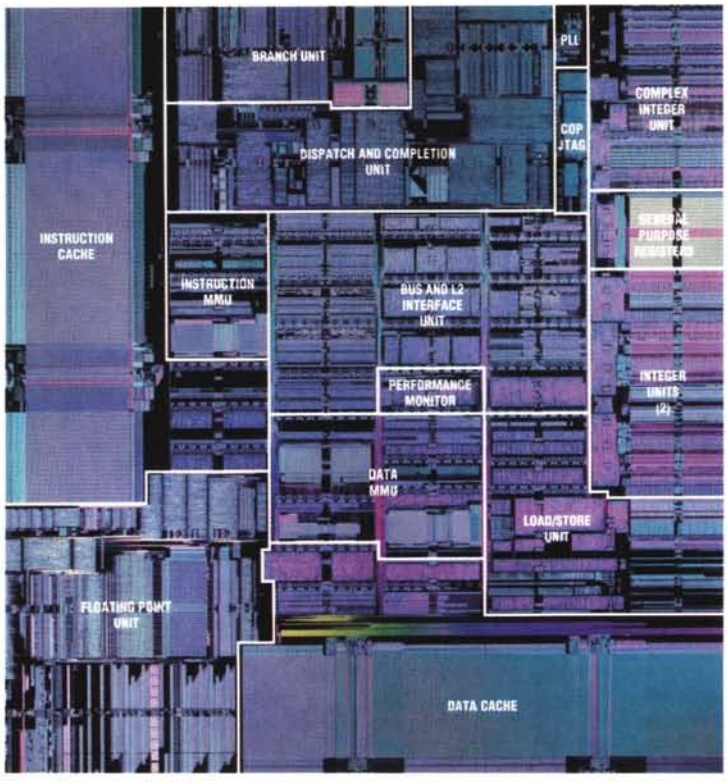
PowerPC 620

di Andrea de Prisco

Sin dalla presentazione del primo PowerPC, l'ormai noto 601 già installato in tutti i Power Macintosh, vennero indicati anche i suoi successori: il 603, il 604 e il 620. I primi due, 603 e 604, hanno già visto la luce rispettivamente alla fine dell'anno scorso e nella primavera di quest'anno. Mancava all'appello (ma non si è fatto certo aspettare) la vera e propria bomba: il 620, la massima espressione dell'eccezionale potenza elaborativa dell'architettura PowerPC. L'annuncio è stato dato, congiuntamente da IBM e Motorola, il 17 ottobre scorso in contemporanea allo SMAU.

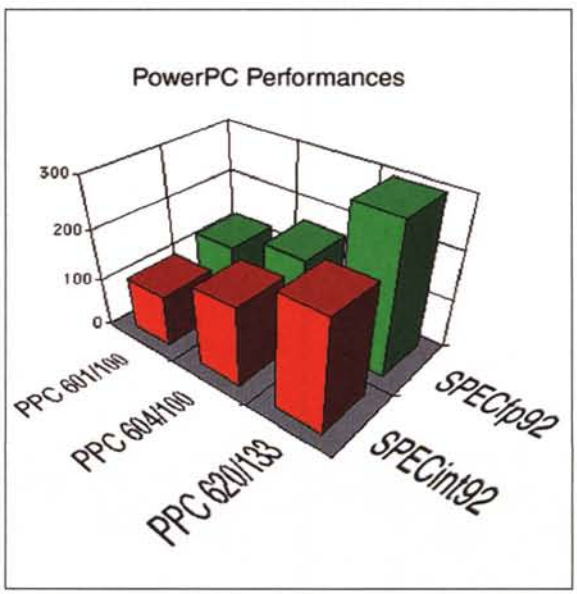


Architettura a 64 bit

Il microprocessore 620 rappresenta la prima realizzazione a 64 bit dell'architettura PowerPC pur mantenendo la piena compatibilità software con tutte le esistenti applicazioni a 32 bit. Grazie alle sue capacità di multielaborazione, di calcolo numerico intensivo e di calcolo in virgola mobile, il PowerPC 620 rappresenta il microprocessore ideale per le esigenze dei server e delle workstation più potenti. Dai test effettuati, il PowerPC 620 a 133 MHz (ma presto arriverà anche la versione a 150 MHz) ha raggiunto lo strabiliante risultato di 225 SPECin92 e 300 SPECfp92. Per fare un paragone, la versione a 100 megahertz del 601 fornisce i valori, rispettivamente, di 105 e 125, il 604 arriva a 160 e 165.

Il primo in aritmetica intera, il secondo in virgola mobile, SPECin92 e SPECfp92 come noto sono test di velocità basati su prove standard e orientate alle applicazioni. Sono stati messi a punto dall'organizzazione senza scopi di lucro Standard Performance Evaluation Council (SPEC).

Tornando al PowerPC 620, è da segnalare che il rapporto tra la velocità di clock interna e quella del bus di sistema può essere 2:1, 3:1 o 4:1. Potranno esistere, dunque, sia macchine con il bus a 33 MHz e velocità del processore di 133 MHz che macchine utilizzanti il medesimo microprocessore ma con un bus di sistema a 66 MHz.



Come per il 604, anche il 620 è realizzato in tecnologia CMOS da 0.5 micron, funziona a 3.3 volt, ma incorpora ben sette milioni di transistor. Al suo interno sono presenti due cache per dati e istruzioni da 32 kbyte l'una dotate di altri 4 kbyte di bit di parità per l'integrità dei dati e delle istruzioni mantenute all'interno del chip.

Interfacciamento processore memoria

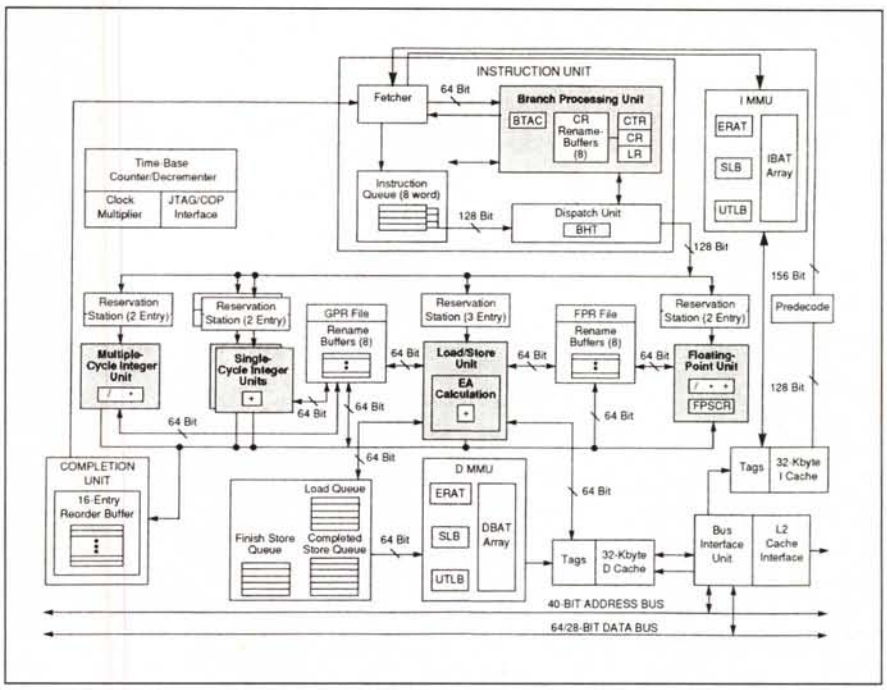
Dotato di un'interfaccia ad alta velocità con la memoria, il PowerPC 620 integra al suo interno anche il controller della cache di secondo livello (esterna al processore), un bus a 128 bit ed ampie capacità di multielaborazione. Grazie alla sua architettura superscalare (durata media delle istruzioni inferiore al singolo ciclo di clock) può inviare contemporaneamente fino a quattro istruzioni in parallelo a sei unità di esecuzione indipendenti. Queste sono l'unità in virgola mobile (FPU), l'unità di processo per i salti (BPU), l'unità load/store più tre unità intere, due a ciclo singolo e una a ciclo multiplo. Le sei unità, in quanto indipendenti, operano assolutamente in parallelo e possono quindi completare l'esecuzione di ben sei istruzioni contemporaneamente.

L'interfacciamento esterno di avvale di un bus di indirizzamento a 40 bit e può essere configurato per utilizzare un bus

Da Power a PowerPC

Power sta per Performance Optimized With Enhanced RISC ed è l'architettura sviluppata da IBM, ormai alcuni anni or sono, per le sue macchine RS/6000. PowerPC è un'implementazione single chip a basso costo dell'architettura Power (con la quale non va confusa). Quest'ultima dispone di tre unità esecutive indipendenti (una branch unit, una integer unit e una floating-point unit) grazie alle quali istruzioni differenti possono essere eseguite parallelamente e nel medesimo ciclo di clock. Diversamente dalle comuni architetture RISC, nei processori Power delle macchine RS/6000, il formato floating point è compreso tra i tipi di dato di prima classe: non viene considerato come una caratteristica opzionale e trattato da un coprocessore, ma è direttamente implementato nel set istruzioni del processore stesso esattamente come i tipi di dato standard, interi e logici. Il set di istruzioni floating point comprende una serie di istruzioni «moltiplica-e-somma» che consentono di migliorare drasticamente le prestazioni di molti algoritmi. Nell'implementazione di PowerPC, il set di istruzioni di Power è stato ridimensionato per facilitare la realizzazione di versioni single chip a basso costo. Contemporaneamente alcune funzioni sono state eliminate per semplificare la realizzazione di versioni superscalari molto aggressive. Inoltre, l'architettura è stata estesa integralmente a 64 bit, per prolungare il ciclo di vita di PowerPC, partendo da una piattaforma sufficiente a coprire tutte le esigenze di calcolo dei prossimi dieci anni.

Per garantire comunque la totale compatibilità con le applicazioni Power, tutte le funzioni non più residenti possono essere implementate attraverso meccanismi di «trap & emulate». A fronte delle relative esemplificazioni, troviamo d'altro canto un potenziamento del set di istruzioni per schedulare esplicitamente i dati da introdurre ed estrarre sotto il controllo dell'utente, nonché l'aggiunta di istruzioni floating point in singola precisione (Power supporta solo la doppia precisione). Ma il cambiamento più significativo da Power a PowerPC riguarda, come detto, l'estensione dell'architettura da 32 a 64 bit: con l'annuncio del dispositivo 620 la famiglia comprende sia PowerPC a 32 che a 64 bit, ma tutti i processori sono in grado di lavorare a 32 bit. Ciò consente alle applicazioni a 32 bit di girare anche sui dispositivi a 64 bit con un kernel di sistema operativo in quest'ultimo formato, permettendo allo stesso tempo alle nuove applicazioni a 64 bit di utilizzare le esistenti librerie a 32.



Schema a blocchi del PowerPC 620.

Dicono di PowerPC 620

(fonte IBM e Motorola)

«L'alleanza (IBM-Motorola-Apple, ndr) ha sviluppato un microprocessore dalle prestazioni superiori. Come è già avvenuto per gli altri modelli della famiglia PowerPC, siamo convinti che il microprocessore 620 supererà le prestazioni di analoghi dispositivi della concorrenza acquisendo la leadership per quanto riguarda il rapporto prestazioni/prezzo anche nel nuovo segmento di mercato».

Les Crudele
Vice Presidente e Direttore Generale
Divisione Microprocessori RISC di Motorola

«I clienti sanno che questa alleanza intende guidare la fase di mutamento che sta attraversando tutta l'industria dei microprocessori e che noi continueremo a fornire loro prodotti all'avanguardia sul mercato. Recenti avvenimenti nell'industria hanno dimostrato che i nostri concorrenti si sono finalmente resi conto di ciò che i nostri clienti sapevano da un pezzo e cioè che la tecnologia RISC è grandemente vantaggiosa. Nessun altro microprocessore rappresenta una realizzazione RISC migliore del PowerPC».

Phil Hester
General Manager
System Technology and Architecture Division di IBM

«L'odierno annuncio conferma l'impegno assunto da Apple-IBM-Motorola nello sviluppare e produrre la famiglia più completa e potente di microprocessori RISC oggi sul mercato. Siamo molto soddisfatti della puntualità che caratterizza il cammino della famiglia e siamo determinati a continuare la collaborazione con IBM e Motorola per migliorare i microprocessori PowerPC esistenti e sviluppare nuovi prodotti basati su questa architettura».

Howard Lee
Senior Vice President
Divisione Personal Computer di Apple

dati da 64 o 128 bit. Per entrambi i bus sono previsti rispettivamente 3 e 16 bit di parità oltre naturalmente ad una serie di segnali di controllo per l'ottimizzazione a vari livelli di sistema.

Il protocollo di interfaccia consente a più microprocessori di concorrere per le risorse di sistema attraverso l'utilizzo di un meccanismo di arbitraggio esterno centralizzato. La logica incorporata nel chip mantiene la coerenza tra le cache nell'utilizzo in sistemi multiprocessor.

Gli accessi in memoria da parte del PowerPC 620 non avvengono secondo un ordine rigido. Sequenze di operazioni, incluso la lettura/scrittura multipla di stringhe, non necessariamente viene completata nello stesso ordine in cui sono iniziate, massimizzando l'efficienza del bus senza sacrificare la coerenza dei dati. È anche possibile, se non sussistono problemi di dipendenza, che le operazioni di lettura precedano quelle di scrittura quando questo provochi un aumento delle prestazioni generali.

MC