

IBM PowerPC 604

Non c'è due senza tre! Rispettando ancora una volta la tabella di marcia da lungo fissata, IBM e Motorola annunciano il completamento dello sviluppo e la realizzazione dei primi esemplari su silicio funzionanti del terzo componente della famiglia PowerPC, il 604. Con prestazioni quasi doppie rispetto al PowerPC 601, grazie alle quali diviene il microprocessore più potente attualmente offerto in grandi volumi sul mercato, il nuovo nato si propone come microprocessore ideale per desktop di alte prestazioni, workstation e server

di Andrea de Prisco

Il microprocessore PowerPC 604 è un'implementazione a 32 bit dell'architettura PowerPC, compatibile sia a livello software che a livello di bus con i microprocessori PowerPC 601 e PowerPC 603. Grazie alla sua architettura superscalare, è in grado di eseguire fino a 4 istruzioni per ciclo di clock, fornendo alte prestazioni sia in campo integer che floating point.

Le sue massime prestazioni sono possibili grazie anche all'utilizzo di una pipeline a 6 stadi: fetch, decode, dispatch, execute, completion e writeback. Altrettante sono le unità di esecuzione indipendenti: salto, floating point, load/store e ben tre unità integer, due a ciclo singolo e una a ciclo multiplo. Grazie all'implementazione della tecnica dinamica di branch prediction anche i salti non creano alcun rallentamento nell'esecuzione del flusso di istruzioni.

Il 604 ha una MMU separata e due cache da ben 16 kilobyte l'una per istruzioni e dati. All'interno del microprocessore troviamo due buffer associativi a 128 posizioni con doppio accesso, denominati TLB (Translation Lookaside Buffer), uno per le istruzioni e l'altro per i dati, per l'utilizzo della memoria virtuale «domand page», con dimensione variabile dei blocchi trattati. L'algoritmo di ag-

giornamento sia delle cache che dei TLB è di tipo LRU, Least Recently Used.

Riguardo la costruzione, PowerPC 604 è realizzato in tecnologia da 0.5 micron, processo CMOS con 4 livelli di metallizzazio-

ne, e incorpora 3.6 milioni di transistor su una superficie di 196 millimetri quadrati. Supporta il protocollo MESI a 4 stati, così come una cache esterna di secondo livello. Il 604 utilizza tecniche PLL (Phase Locked Loop) che facilitano la progettazio-

ne di sistemi multi processore. Il clock del processore può essere fermato tramite meccanismi coordinati hardware/software per ridurre il consumo di corrente, pur lasciando la cache dati coerente con il contenuto della memoria.

Le prestazioni raggiungibili dal nuovo PowerPC 604 sono sicuramente entusiasmanti. Per la versione a 100 MHz si parla, infatti, di ben 160 SPECint92 e 165 SPECfp92. Per la cronaca, Pentium alla stessa velocità di clock si ferma a 100 riguardo SPECint92 e 105 SPECfp92.

L'architettura

La velocità di un processore è determinata principalmente da tre fattori: numero di istruzioni in un task, numero medio di istruzioni per ciclo di clock, frequenza di clock utilizzata. Il primo obiettivo è centrato dalla stessa architettura PowerPC che è ottimizzata per produrre codice molto compatto, pur aderendo completamente alla filosofia RISC. PowerPC 604 cen-



tra gli altri due obiettivi utilizzando un'alta frequenza di clock (100 MHz) e un alto numero di istruzioni per ciclo di clock grazie all'architettura superscalare, l'esecuzione speculare con una sofisticata branch prediction e alle tecniche di serializzazione. Il microprocessore PowerPC 604 preleva, invia e completa fino a 4 istruzioni per ciclo di clock. Può tenere pronte per l'invio fino ad 8 istruzioni e altre 16 possono trovarsi in vari stadi di esecuzione. Utilizzando codice ottimizzato per quest'architettura è possibile mantenere le quattro istruzioni per ciclo di clock non come valore massimo ma per tutta l'esecuzione.

Le istruzioni, prelevate dalla cache interna, sono inviate alle varie unità nel loro ordine ma possono essere eseguite anche fuori ordine.

Con un funzionamento che ricorda quello delle macchine Data Flow piuttosto che le comuni Von Neumann, ogni istruzione può arrivare all'unità di esecuzione anche prima degli operandi: quando questi saranno disponibili verrà completata l'esecuzione dell'istruzione.

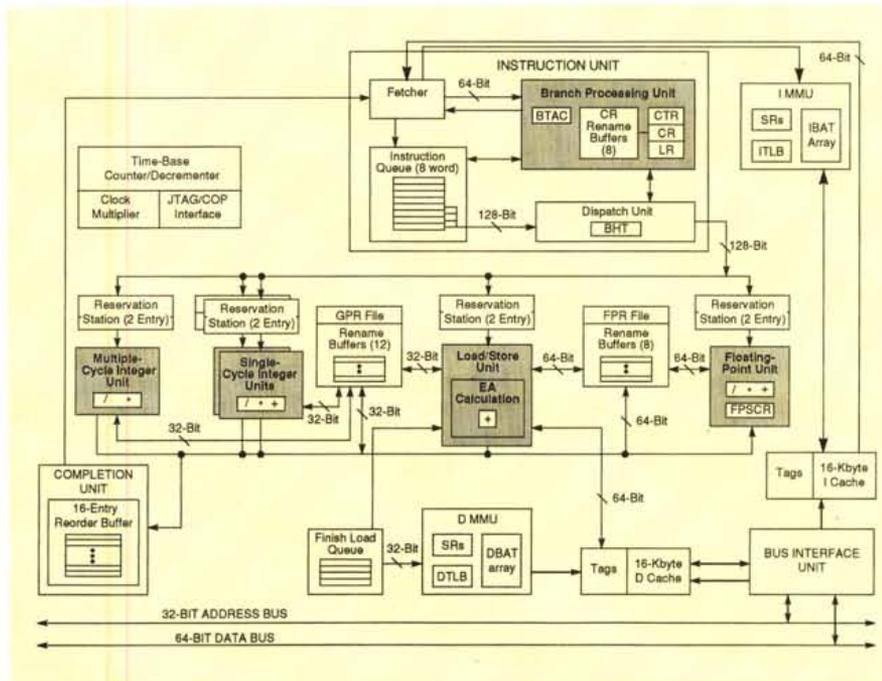


Diagramma a blocchi del PowerPC 604: notare le tre unità di esecuzione Integer.

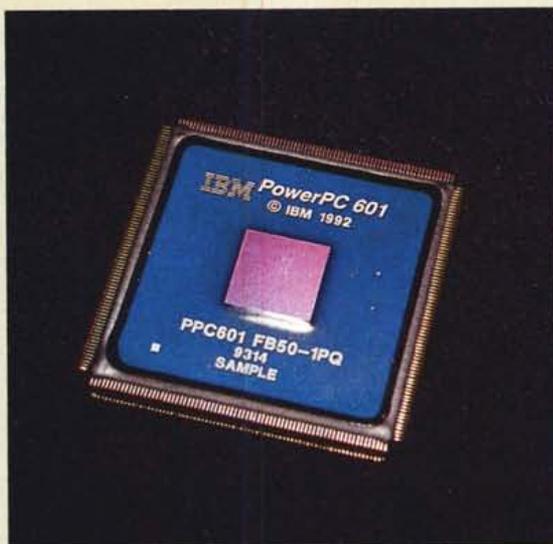
PowerPC 601 a 100 MHz

Motorola e IBM annunciano una nuova versione del microprocessore PowerPC 601, più veloce, più piccola e con un consumo inferiore rispetto a qualsiasi altro processore CISC per desktop.

Utilizzando i benchmark standard per l'industria, la nuova versione del PowerPC 601 offerta dalla Divisione Microelettronica di IBM e dalla Divisione Microprocessori RISC di Motorola, raggiunge alla frequenza di 100 MHz un livello di prestazioni stimato in 105 SPECint92 e 125 SPECfp92 utilizzando una cache secondaria. Nella nuova versione le dimensioni sono state ridotte da 120 a 74 millimetri quadrati e il consumo tipico scende da 8 a 4 W, rispetto alla versione originaria del PowerPC 601.

Con il PowerPC 601 a 100 MHz, IBM Microelectronics e Motorola introducono nella famiglia PowerPC una nuova generazione basata sulla tecnologia di punta dei CMOS da 0.5 micron. Ne deriva un nuovo dispositivo dalle prestazioni ineguagliate per i computer desktop.

Quantità limitate del nuovo microprocessore saranno disponibili nel secondo trimestre presso IBM Microelectronics e Motorola, mentre la produzione in volumi è prevista per l'ultimo trimestre 1994. PowerPC 601 è oggi disponibile nelle versioni a 80, 66 e 50 MHz.



Il 601 è il capostipite della famiglia PowerPc.

no disponibili verrà completata l'esecuzione dell'istruzione.

Un altro elemento che contribuisce in maniera significativa al raggiungimento di tali massime prestazioni è la tecnica di branch prediction. Quando, nell'esecuzione delle istruzioni, vi sono di mezzo una o più pipeline (come nel caso di PowerPC), l'esecuzione di un'istruzione inizia prima che l'istruzione precedente sia completata, con un meccanismo simile a quello della catena di montaggio.

Quando un'istruzione di salto condizionato entra nella pipeline non si sa ancora (fino a quando l'esecuzione della stessa non verrà completata) quale sarà l'istruzione successiva. Dipende, come facilmente verificabile, dall'esito stesso del salto condizionato. Visto che non si può conoscere l'istruzione successiva ad un salto condizionato fino a quando questo non è completamente eseguito, quando un'istruzione di questo tipo è incontrata PowerPC 604 percorre entrambe le possibili strade iniziando a decodificare e ad eseguire entrambi i flussi di istruzioni. Quando l'esecuzione del salto condizionato è terminata, e si conosce l'esito, solo il flusso di istruzione corrispondente viene tenuto in considerazione e completamente scartato quello non verificato. In questo modo, iniziando contemporaneamente sia l'esecuzione delle istruzioni per così dire «giuste» che quelle «sbagliate» si riesce a mantenere alto il numero di istruzioni per ciclo di clock anche in presenza di numerosi salti condizionati.

MS