

Architetture riconfigurabili

di Giuseppe Cardinale Ciccotti

In tutte le attività umane, il miglioramento delle prestazioni è spesso ottenuto e talvolta condizionato dalla creazione di strumenti specializzati che consentano lo sviluppo delle nuove idee alla base di qualsiasi iniziativa. Nel campo informatico con la disponibilità di potenti macchine general-purpose, l'efficacia di uno strumento elettronico è, nella maggior parte dei casi, affidata alla efficiente realizzazione del software applicativo. Se però l'architettura del sistema non è adatta alla applicazione in questione, non c'è possibilità di ottenere le prestazioni richieste

Se questo è vero per le architetture di von Neumann, in cui spesso basta cambiare versione del processore o, per esempio, gestire in maniera più opportuna le risorse, lo è ancora di più per le architetture multiprocessore. La disponibilità di più elementi di calcolo pone il problema della geometria delle connessioni che, come abbiamo avuto modo di osservare in tutti i precedenti articoli sulle architetture parallele, risulta determinante per le prestazioni complessive della macchina. Ogni algoritmo è eseguito in modo ottimo da un certo tipo di architettura e si può più o meno bene adattare ad altre, dove comunque non conseguirà le stesse prestazioni.

Sistemi multiprocessore general-purpose

L'obiettivo di realizzare macchine multiprocessore che complessivamente possano sfruttare le potenzialità delle architetture parallele, porta a considerare due soluzioni sostanzialmente diverse. La prima consiste nell'adottare architetture che intrinsecamente assicurino il massimo parallelismo possibile come per esempio le macchine data-flow (sono state illustrate nell'appuntamento precedente), con tutti i vantaggi e le incognite del caso. La seconda invece consiste nel progettare architetture tali che garantiscano prestazioni ottime per una classe di problemi e affidino l'efficienza di tutti gli altri programmi alla scoperta di nuovi algoritmi adatti all'implementazione su quell'architettura. Nel presente articolo ci proponiamo invece, di analizzare un terzo approccio al problema: la realizzazione di reti riconfigurabili di interconnessione fra i PE.

ordinamento e quella a doppio albero ad algoritmi di ricerca. Precisando meglio con un esempio, supponiamo di voler estrarre il massimo di n^2 elementi che siano memorizzati uno per processore in una struttura a reticolo. Se confrontassimo gli elementi per righe e colonne, dovremmo eseguire $2 \cdot n - 1$ passi mentre se adottassimo una struttura ad albero binario potremo risolvere l'algoritmo in $2 \cdot \log(n)$ passi. L'idea è allora quella di progettare una struttura che sia composta di elementi in grado di modificare le connessioni fra i PE in modo che implementino la migliore architettura possibile. La rete di interconnessione sarà quindi composta da dispositivi caratterizzati da un certo numero di ingressi e di uscite a cui sono connessi i bus dei PE; naturalmente saranno necessari degli ingressi di controllo per gestire la commutazione delle connessioni. Il controllo può essere, come sappiamo, centralizzato oppure locale se per esempio esiste almeno un dispositivo di commutazione per processore.

Dispositivi di commutazione

Tali dispositivi possono essere di varia natura; nei precedenti articoli di questa serie, abbiamo avuto già modo di considerare i «crossbar switch» che assolvono a questa funzione negli Array Processor. Rispetto a quelli, i dispositivi che vogliamo qui illustrare presentano la particolare proprietà di poter essere riconfigurati dinamicamente. Questa caratteristica è necessaria per permettere operazioni parallele multifase; è naturalmente desiderabile che la riconfigurazione provochi il minimo over-head possibile. Un metodo per ottenere questa riconfigurabilità dinamica è quello di progettare dispositivi che possano immagazzinare un certo numero di configurazioni eseguite in sequenza o a richiesta. Elenchiamo una serie di parametri, che potete ritrovare in figura 2, che permettano di caratterizzare in qualche modo i dispositivi di commutazione:

Array Processor riconfigurabili

Abbiamo già osservato come multiprocessori specializzati per certe classi di algoritmi adottino spesso particolari strutture di interconnessione. In figura 1 ci sono cinque diverse strutture che sono state proposte per cinque differenti classi di algoritmi. Per esempio la struttura reticolare a sei connessioni è utile per la triangolazione di matrici, mentre la struttura ad albero binario è particolarmente adatta ad algoritmi di

- m: il numero di linee per ciascun ingresso;
- i: il numero di ingressi al dispositivo;
- o: il numero di uscite dal dispositivo;

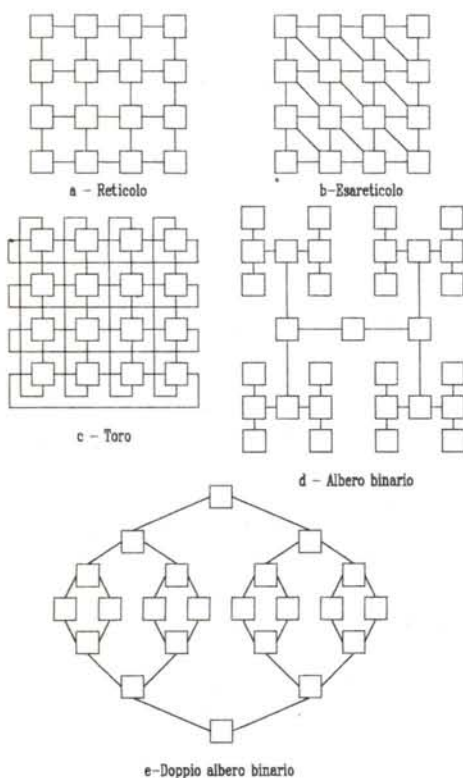


Figura 1 - Configurazioni tipiche per sistemi multiprocessore specializzati.

— c : il numero massimo di connessioni contemporaneamente attivabili.

Il parametro m è assai importante dal punto di vista delle prestazioni, del costo e della realizzazione. Incide sulle prestazioni in quanto, poter collegare direttamente i bus dei PE, velocizza le comunicazioni rispetto, per esempio, alla comunicazione seriale; influisce tuttavia sul costo e sulla complessità del dispositivo perché il numero complessivo delle connessioni al dispositivo di commutazione è nell'ordine di $(i+o)*m$. Considerando bus di 32 linee e 8 fra ingressi e uscite al dispositivo abbiamo 256 connessioni al dispositivo senza contare le linee di controllo, di alimentazione e di clock. Tale numero di connessioni rende poi quasi impossibile l'implementazione di asic; il rimedio può consistere nel multiplexare gli ingressi e le uscite, tuttavia questa soluzione rallenta qualsiasi transito attraverso il dispositivo di commutazione. Un'alternativa correntemente praticata è quella di adoperare connessioni seriali ad alta velocità; se il rapporto tra il numero di bit al secondo della linea seriale e quello di una linea del bus dati del PE fosse pari al numero di linee del bus dati stesso, non ci sarebbe nessun over-head dovuto alla comunicazione seriale e il numero di connessioni sarebbe fortemente ridotto. Con l'avvento delle connessioni su fibra ottica dovrebbe essere possibile comunicare in seriale con velocità superiori ai 100 Mbit al secondo. Il parametro c è estremamente importante perché si riferisce al numero di ingressi e uscite che possono essere attivate contemporaneamente, ovviamente il massimo che si può ottenere è pari al numero degli ingressi. Molti componenti elettronici possono essere utilizzati per implementare questi dispositivi di commutazione: si può spaziare dai dispositivi logici programmabili come PAL o PLD fino a processori evoluti come i Transputer. Naturalmente nel primo caso la logica è combinatoria e una volta programmata una serie di possibili configurazioni non è possibile cambiarle; usando dispositivi combinatori bisognerà perciò avere cura di prevedere in fase di progetto tutte le configurazioni necessarie; spesso la soddisfazione di questo requisito comporta

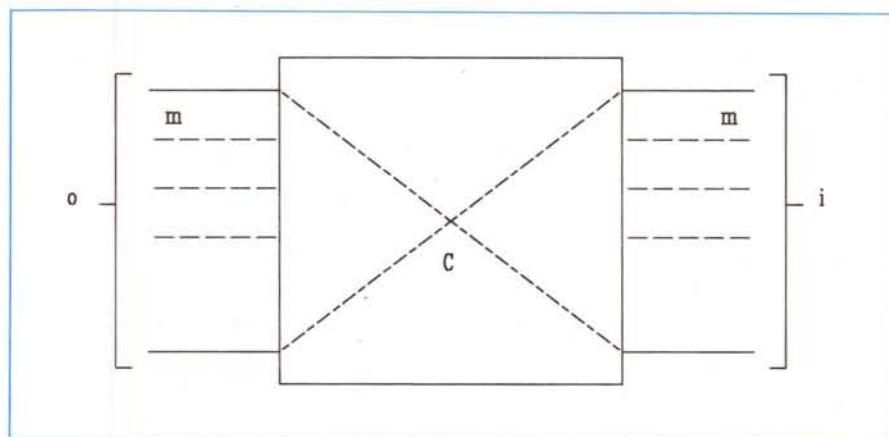


Figura 2 - Dispositivo di commutazione con i parametri caratteristici. Può connettere fino a c delle i linee di input con c delle o linee di output. Ogni linea è poi costituita da m fili.

l'utilizzo di un gran numero di porte e perciò di un numero di chip elevato. Se il circuito si rivela di media complessità è preferibile utilizzare delle macchine microprogrammate che presentano un certo grado di flessibilità, se tuttavia la logica di commutazione è complessa e in particolar modo si voglia avere la possibilità di scegliere diverse strategie di commutazione, è necessario predisporre dispositivi facilmente programmabili come i microprocessori. Fra tutti, i Transputer possedendo 4 link seriali sono quelli attualmente più indicati per tale applicazione (potete trovare un articolo molto dettagliato sui Transputer su MC n. 100). Esistono inoltre da qualche anno in commercio dispositivi programmabili che potrebbero essere utili, nelle loro ultime versioni, adoperati come dispositivi di commutazione. Gli LCA (Logic Cell Array), questo è il nome dei componenti in questione, sono stati introdotti dalla Xlink, casa produttrice, come dei dispositivi logici programmabili che invece di essere programmati internamente come le EPROM, le PAL o le PLD, potessero essere riprogrammati come dei microprocessori tramite istruzioni contenute in EPROM esterne. Lo scopo principale dell'introduzione degli LCA è di fornire un unico dispositivo in grado di sopperire a tutte le necessità di circuiti programmati per compiti specializzati. L'ultima serie la 4000, di recente introdotta, amplia in maniera consistente il campo di applicazione di questi dispositivi, permettendo l'implementazione di asic di piccola e media complessità. Considerando poi che sono disponibili versioni fino a 35 MHz, gli LCA sono ottimi candidati per l'implementazione dei dispositivi di commutazione. La sostituzione delle EPROM esterne

con delle RAM potrebbe rendere possibile una riconfigurazione dinamica a basso costo della rete dell'interconnessione.

Microprocessori come dispositivi di commutazione

Nei precedenti articoli sui sistemi multiprocessore abbiamo osservato una serie di possibili modalità di comunicazione interprocessore. Tra queste vi erano la comunicazione a commutazione di pacchetto e la comunicazione a commutazione di circuito. La prima consente di connettere due PE in modo logico, tramite un messaggio nella cui intestazione sia presente il PE destinatario. Il pacchetto allora viaggia attraverso le connessioni esistenti fisse, da un PE all'altro, finché non giunge al destinatario che lo riconosce come proprio. La comunicazione a commutazione di circuito, prevede invece la connessione fisica dei PE comunicanti, quindi un PE può comunicare con un altro se e solo se tutte le connessioni che lo collegano all'altro sono libere. Il percorso è allora bloccato agli altri PE fin quando la comunicazione non è cessata.

Dal punto di vista concettuale, anche questi due modi di connessione permettono di riconfigurare la rete, tuttavia la commutazione di pacchetto appare più flessibile in quanto se il dispositivo che analizza il messaggio per controllarne il destinatario è sufficientemente veloce, le prestazioni della rete saranno simili alla situazione in cui si dispone di dispositivi con un parametro c elevato, anche se in realtà è permessa solo una connessione per volta. Naturalmente l'implementazione di una architettura di rete a commutazione di pacchetto, pre-

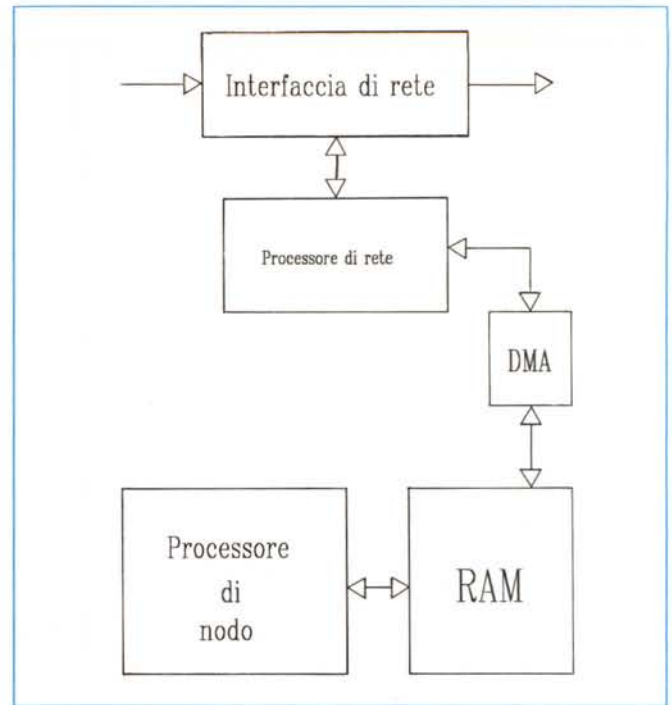
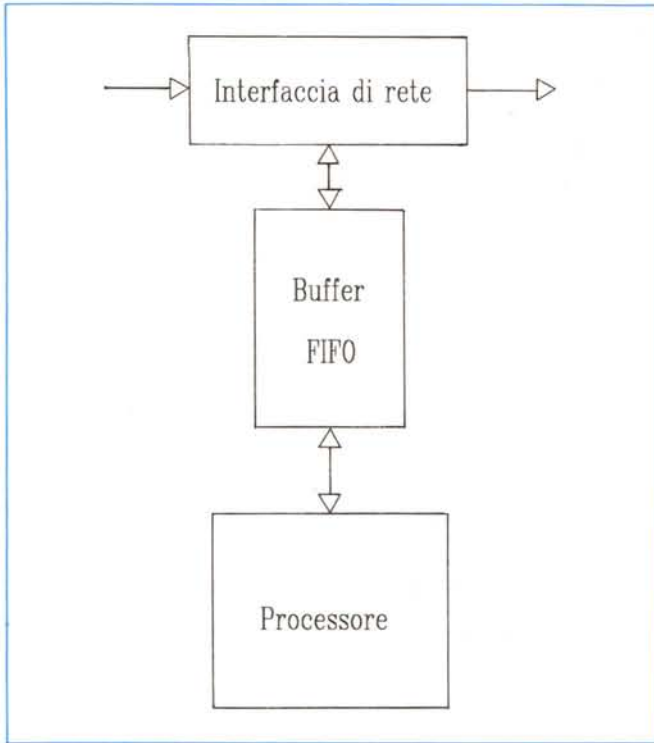


Figura 4 - Nodo con processore dedicato alla comunicazione e dispositivo DMA. In tale configurazione il processore utente è libero di eseguire soltanto il programma utente, non essendo interrotto dai pacchetti in transito.

Figura 3 - Nodo costituito da un unico processore che si occupa sia della esecuzione del programma di rete che del programma utente.

suppone l'utilizzo di dispositivi di commutazione sequenziali; essi infatti devono eseguire un programma per riconoscere il destinatario e decidere se rispedire il pacchetto sulla rete oppure assorbito. Le realizzazioni più semplici prevedono che questo compito sia eseguito dallo stesso PE che esegue l'algoritmo utente. In figura 3 è riportato un semplice schema di un nodo siffatto; sarà necessario bufferizzare i messaggi in arrivo in una memoria arbitrata fifo (è comunque necessaria una memoria multiporta), e il processore risponderà all'interrupt generato dall'arrivo di un pacchetto eseguendo la routine di gestione del messaggio. È ovvio che una rete del genere è assai inefficiente perché i programmi utente sono rallentati dalle interruzioni causate dalle comunicazioni, che quindi devono essere brevi e possibilmente sporadiche; è stato dimostrato che un sistema del genere satura già con pochi PE; inoltre all'aumentare dei PE crescono le comunicazioni. Anzi ci saranno situazioni in cui i PE saranno impegnati per la maggior parte del tempo ad eseguire routine di gestione della rete e non il programma utente. È allora indispensabile predisporre dei dispositivi, uno per PE, che siano dedicati alla gestione dei messaggi in transito. Tali dispositivi eseguiranno il programma di rete mentre il processore eseguirà in parallelo soltanto il programma utente. I dispositivi predi-

sposti alla comunicazione potranno quindi essere progettati appositamente per questo scopo, assicurando prestazioni ottimali sulla rete; per lo stesso motivo i processori di nodo potranno scegliersi fra i più adatti al tipo di compiti che devono eseguire. Il trasferimento dati tra il processore e il dispositivo di comunicazione avviene in genere come una periferica qualsiasi, per esempio in DMA. In figura 4 è illustrato un semplice schema di principio di un nodo costituito in questo modo.

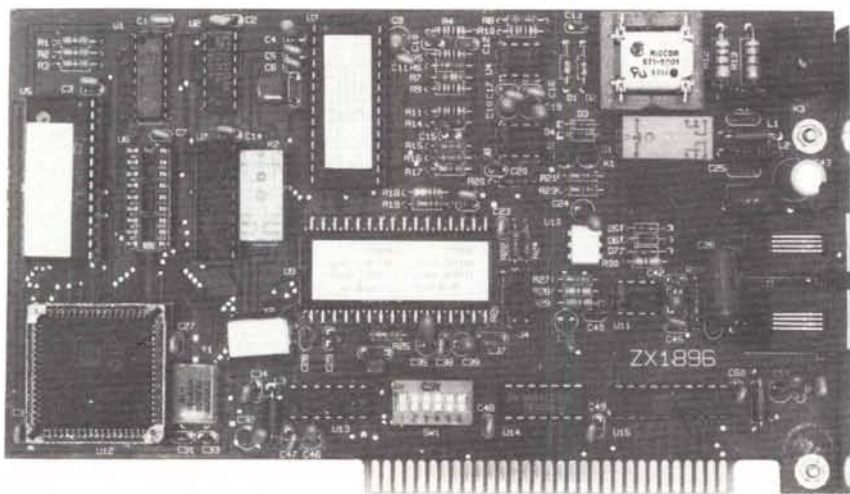
Il numero minimo di ingressi e uscite è naturalmente 1, se invece si dispongono più ingressi e più uscite è possibile aumentare il grado di flessibilità del dispositivo e quindi della rete. Si presentano due alternative: la prima consiste nello sfruttare le connessioni disponibili per connettere un numero maggiore di processori, la seconda invece consiste nel creare dei circuiti alternativi per connettere lo stesso numero di processori in modo da poter avere delle linee alternative su cui instradare i messaggi. Questa seconda ipotesi consente di studiare delle strategie per migliorare l'efficienza della rete di condizioni di carico e di poter adattare la rete stessa alle più diverse esigenze. È quasi superfluo osservare che questa prospettiva richiede una maggior potenza di calcolo e una maggior efficienza degli strumenti programmatici, disponibili solo con l'utilizzo di processori avanzati. È per que-

sto motivo che molte case produttrici hanno in catalogo versioni particolari dei loro più avanzati processori opportunamente customizzati per applicazioni in questo campo. Si può perciò comprendere come si siano progettate architetture in cui la potenza di calcolo dei dispositivi di commutazione è addirittura maggiore di quella dei PE dedicati ai programmi utente!

Conclusioni

Le strutture riprogrammabili offrono sicuramente molti vantaggi, tuttavia sono ancora in fase sperimentale anche perché i maggiori sforzi sono indirizzati verso l'obiettivo di implementare in un solo chip più dispositivi di commutazione. Allo stato attuale della tecnologia è possibile avere un certo numero di celle di commutazione su chip solo a patto di mantenerle assai semplici. Una parte delle correnti ricerche è allora indirizzata verso il progetto e l'implementazione di strutture molto grandi e molto semplici, per la costruzione di «architetture cellulari», e un'altra parte verso architetture meno estese ma più complesse per lo studio di strategie di comunicazioni sempre più efficienti e l'applicazione dei modelli programmatici già in uso o di nuovi che permettano le programmazioni delle macchine parallele in modo non dissimile dai computer seriali.

Con questa scheda il tuo PC riceve e trasmette i fax!



**...ed è anche un modem
a 2400 bps!**



IVA ESCLUSA

- Riceve e stampa automaticamente i fax in arrivo, poi li salva su disco!
- Ruota il fax di 90 o 180 gradi per poter vedere sullo schermo il fax in arrivo anche se è stato trasmesso sottosopra o orizzontalmente!
- Con il programma Bit Paint (optional), consente di vedere e ricevere immagini, modificarle, commentarle e poi ritrasmetterle al mittente!
- Fax Mail Merge consente la spedizione di fax personalizzati a più indirizzi!
- Trasmissione in differita per trasmettere nelle fasce orarie di minor costo!
- Durante la ricezione di un fax consente di utilizzare altri programmi!
- Trasmette ad apparecchi fax G3 ognuno di questi tipi di files: ASCII (testo), PCX, IMG, TIFF e FAX. I files PCX a colori sono automaticamente convertiti in scala di grigi!



1 Woodborough Avenue, Toronto, Canada M6M 5A1
Tel. 001 416 656 6406 Fax 001 416 656 6368 Telex (06)23303

Per informazioni:
Ufficio di rappresentanza in Roma: Via Flaminia 215 - Tel. 06/32 22 199