

## La decodifica degli indirizzi sul BUS

Continuiamo ad illustrare come avviene la selezione dei dispositivi collegati ad un bus utilizzando questa volta una tecnica un po' più sofisticata rispetto alle precedenti.

### Dispositivi particolari

Per affrontare l'argomento che vi proponiamo quest'oggi, riguardante sempre le tecniche d'interfacciamento di memorie ed altri dispositivi ad un Bus, è necessario conoscere, anche se in maniera non molto dettagliata, il funzionamento di alcuni dispositivi tramite i quali viene resa più effi-

cace la decodifica di indirizzi particolari per la selezione dei vari moduli collegati al Bus. Degli elementi che descriveremo in questa prima parte spiegheremo solo la funzione particolare che essi svolgono, trattandoli come un blocco dotato di un certo numero di ingressi e di uscite. Come al solito, non introdurremo formule ma descriveremo con degli esempi il comportamento dell'uscita dato un certo ingresso in modo da rendere immediata a tutti la comprensione dei concetti esposti. Detto ciò, possiamo incominciare.

Il primo elemento che vogliamo mo-

strarvi lo trovate rappresentato nella figura 1; per comprenderci, lo chiameremo "Decodificatore A". Come si può notare dal disegno, esso è schematizzato come un blocco dotato di un certo numero  $n$  di ingressi e di una sola uscita. Volendo descriverne il comportamento in pochissime parole, potremmo dire che l'elemento in questione, sarà da noi usato per ottenere in uscita il NAND degli ingressi. Però è certo che, se spiegato così, non tutti sono in grado di capire subito che cosa faccia effettivamente l'oggetto di cui stiamo parlando; vediamo quindi di essere un po' più chiari.

Visto che ci muoviamo sul terreno dell'elettronica digitale, è abbastanza facile intuire che sugli ingressi del nostro "Decodificatore di tipo "A" andrà posta una parola binaria, composta cioè da un certo insieme di 0 e di 1 che elettricamente corrispondono, come ormai sapete benissimo, a due livelli diversi di tensione, ad esempio 0 volt (0) e 5 volt (1). La funzione logica svolta è la seguente: in uscita avremo uno "0" solo quando tutte le linee d'ingresso sono in condizione 1. Basta però che una sola di esse venga posta a "0" perché l'uscita commuti ed assuma la condizione "1". Un esempio di questo comportamento viene fornito in figura 2. Nella sezione a) vediamo che l'uscita dell'oggetto in questione è "0" se su tutti gli ingressi è presente un "1" e che la stessa uscita diventa "1" (sezione b) se ad esempio la terza delle linee d'ingresso passa in condizione "0". L'utilità di un comportamento del genere la vedremo tra breve.

Il secondo dispositivo che vi presentiamo, chiamandolo "Decodificatore B", trova largo uso nel progetto di circuiti a microprocessore dove viene schematizzato all'incirca con il disegno della figura 3. Esso possiede alcuni ingressi (nel nostro caso 3), più uscite in funzione del numero

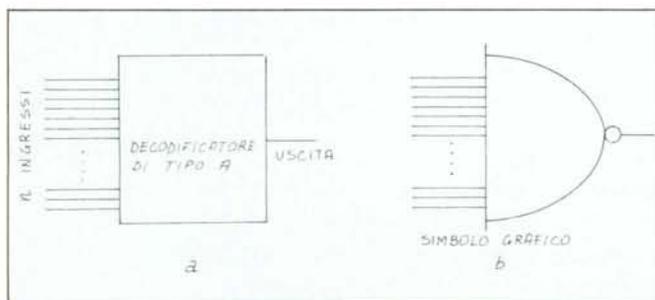


Figura 1 - Decodificatore che chiameremo di tipo A: schematizzazione (a) a simbolo grafico (b).

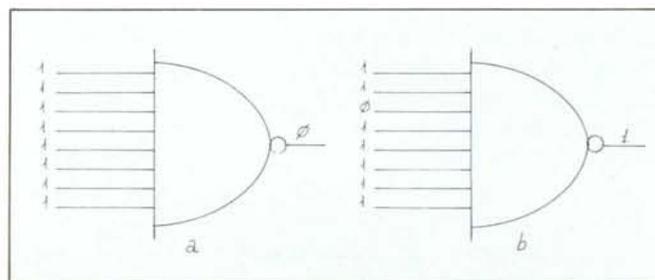


Figura 2 - L'uscita dell'elemento raffigurato è a livello 0 solo quando tutti gli ingressi sono a 0 (a). Basta però che uno solo degli ingressi si porti alto perché l'uscita acquisti il valore 1 (b).

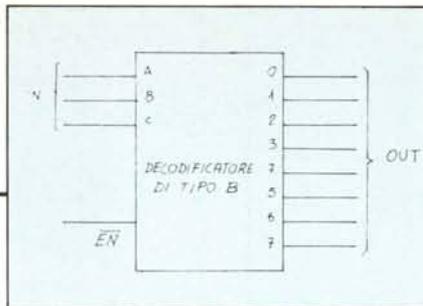


Figura 3 - Schematizzazione di un Decoder che chiameremo di tipo B.

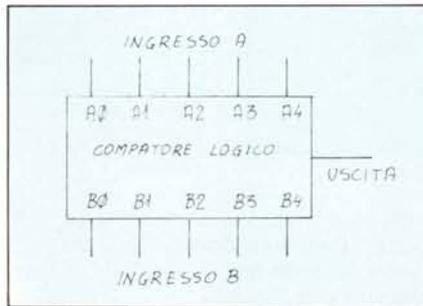


Figura 4 - Schematizzazione di un Comparatore Logico.

degli ingressi per la ragione che vedremo (nel nostro caso 8) ed uno o due terminali di abilitazione (1 nel nostro disegno, EN). Vediamo brevemente il modo in cui agisce la condizione degli ingressi e del terminale di abilitazione sulle uscite.

Il terminale di selezione serve come al solito per rendere attiva o no l'uscita. In altre parole, se su di esso è presente la condizione valida per l'abilitazione, ad esempio uno "0", in uscita potremo prevedere una certa risposta la cui forma dipende naturalmente dagli ingressi. Se invece sul terminale in questione poniamo la condizione opposta a quella valida, nel nostro caso "1", le linee d'uscita saranno tutte a livello alto qualunque sia lo stato degli ingressi. Vediamo ora, supposta valida la condizione sul terminale di abilitazione, come si comportano le uscite in funzione dello stato degli ingressi. Come prima cosa, osservate attentamente la seguente tabella:

Ab.	Ingressi			Uscite							
	A	B	C	0	1	2	3	4	5	6	7
0	0	0	0	0	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1
0	0	1	1	1	1	0	1	1	1	1	1
0	1	0	0	1	1	1	0	1	1	1	1
0	1	0	1	1	1	1	0	1	1	1	1
0	1	1	0	1	1	1	1	0	1	1	1
0	1	1	1	1	1	1	1	0	1	1	1
1	x	x	x	1	1	1	1	1	1	1	1

Essa ci mostra lo stato delle linee da 0 a 7 in dipendenza della parola a tre bit posta sui terminali A-B-C d'ingresso. Notate per prima cosa quanto affermato riguardo al terminale di selezione e cioè che, finché esso si trova in condizione alta, l'uscita presenta tutte le linee alte (ad 1) mentre se lo stesso terminale va a livello basso, l'uscita assume un valore dipendente dall'ingresso.

Ad esempio, se su A-B-C poniamo tutti zero, la linea 0 del dispositivo si porterà in condizione logica 0 mentre le altre saranno tutte ad 1; se invece sugli stessi tre terminali (A-B-C) poniamo 100, sarà posta zero solo la linea 3 e così via. Come appare inoltre dalla tabella, gli stati possibili sono otto, l'uno diverso dall'altro. Anche di quest'ultimo dispositivo comprenderete la funzione che esplica in un circuito tra breve.

L'ultimo elemento che brevemente illustreremo, prende il nome di "Comparatore Logico" e, rappresentato nella figura 4, svolge la seguente funzione: l'uscita cambia stato solo quando la parola posta sulle linee dell'ingresso A è perfettamente uguale a quella posta sulle linee corrispondenti dell'ingresso B.

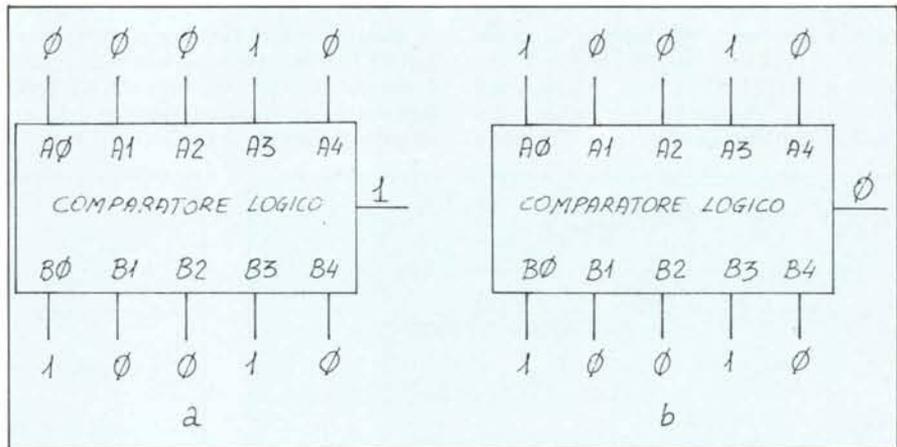


Figura 5 - L'uscita di un Comparatore Logico cambia stato quando sia sugli ingressi che sulle uscite è presente la stessa parola binaria.

Supponiamo che l'uscita sia, se non sollecitata, sempre in condizione 1. Poniamo allora sull'ingresso A la parola 00010 e sul B 10010: l'uscita non subirà modifiche e rimarrà sempre a livello alto cioè ad 1 (figura 5a); se ora modifichiamo la precedente situazione ponendo su entrambi gli ingressi, ad esempio, 10010 (figura 5b), l'uscita commuterà il suo stato portandosi a "0".

A questo punto non ci resta che andare a vedere come utilizzare gli elementi descritti in un circuito di decodifica degli indirizzi.

### Qualche esempio

Abbiamo visto la volta scorsa che per selezionare un certo modulo, partendo da un indirizzo messo sul Bus, ed assegnare ad esso una ben determinata zona dello spazio indirizzabile prelevando il segnale di abilitazione da una delle linee degli indirizzi,

zi, sorvegliano dei problemi che non stiamo a rivangare. Diciamo solo che ad esempio non era possibile selezionare semplicemente aree piccole a piacere, ad esempio di una locazione soltanto, che non venissero interessate lo stesso in momenti in cui non erano richieste.

Inoltre lo spazio degli indirizzi, con una decodifica del tipo lineare, non era completamente utilizzabile dimezzandosi ogni volta che veniva sfruttata una linea per la selezione (per maggiori chiarimenti rifatevi all'articolo precedente). Questi problemi verranno scavalcati dalle nuove tecniche che utilizzeremo.

Supponiamo di voler mappare un certo elemento in una ben precisa locazione dello spazio indirizzabile, ad esempio, avendo a disposizione le solite 10 linee d'indirizzo,

nella posizione 1100111111. Vi ricordate come funziona l'Inverter descritto la volta scorsa? Per chi non lo ricorda diciamo brevemente che si tratta di un dispositivo (ad un ingresso e ad un'uscita) che fornisce in uscita una condizione logica opposta a quella rilevabile sull'ingresso. Chiara questa ulteriore nozione, per abilitare il nostro modulo ogni volta che viene messo sul Bus l'indirizzo 1100111111 (e solo in questo caso) possiamo utilizzare il circuito riportato in figura 6. Qui vedete un primo utilizzo di quel decoder che abbiamo chiamato "Decodificatore di tipo A".

Quando viene selezionato l'indirizzo 1100111111, dato che i due Inverter posti sulle linee A7 ed A6 invertono lo stato che si presenta sul loro ingresso, è come se sugli ingressi del decodificatore in questione fosse applicato di fatto l'indirizzo 1111111111 che è il solo, come abbiamo detto, che pone l'uscita bassa. In tutti gli altri casi tale usci-

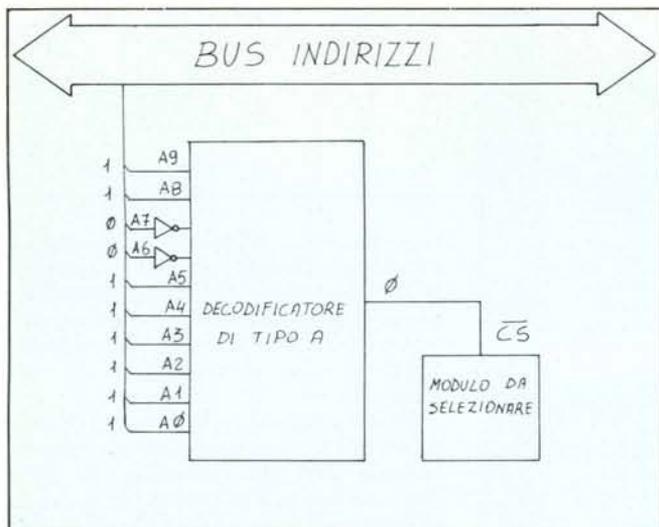


Figura 6 - Selezione dell'indirizzo 1100111111 con Decoder di tipo A.

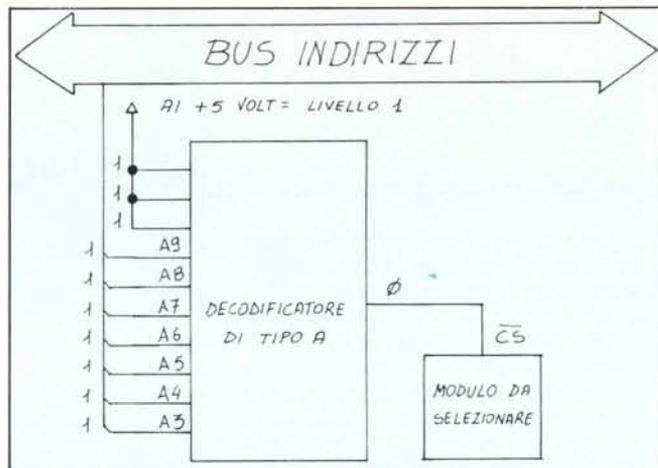


Figura 7 - Se non colleghiamo le ultime tre linee del Decoder di tipo B, A2, A1, e A0, il modulo resterà selezionato per indirizzi compresi tra 1111111000 e 1111111111 se avremo l'accortezza di tenere tre delle ipotetiche dieci linee d'ingresso costantemente a livello alto.

ta sarà a livello alto. Se ora il modulo da selezionare viene abilitato proprio da un livello basso su CS, il nostro scopo è raggiunto. Ricapitoliamo.

Il modulo da abilitare diventa attivo con uno "0" su CS. L'uscita del Decodificatore (collegata a CS) è zero solo se tutti gli ingressi sono ad 1. Applicando la parola 1100111111 al Decoder, essa viene trasformata in 1111111111 grazie alla presenza di due Inverter sulle linee opportune ed il risultato dell'applicazione di tale parola è

quello di portare l'uscita nello stato "0". Potete facilmente rendervi conto che non esistono altre combinazioni tali da rendere valida, cioè 0, l'uscita.

Se vogliamo invece selezionare un'area più grande nello spazio indirizzabile di 1024 indirizzi (quelli permessi da 10 linee), ad esempio otto locazioni, potremmo adottare la soluzione proposta nella figura 7. Per prima cosa osservate che tre delle linee del nostro ipotetico decoder a 10 ingressi sono tenute a livello alto, cioè in

condizione "1", collegandole insieme alla tensione di +5 volt. Sugli ingressi rimanenti vengono collegate le linee da A9 ad A3 provenienti dal Bus degli indirizzi. Come è facile dedurre, il modulo verrà abilitato per indirizzi compresi tra 1111111000 (1016 decimale) e 1111111111 (1023 decimale) per un totale di otto volte cioè coprirà uno spazio di otto locazioni.

Un'altra tecnica che ci permette di selezionare univocamente un modulo partendo da un indirizzo (e solo da quello) è

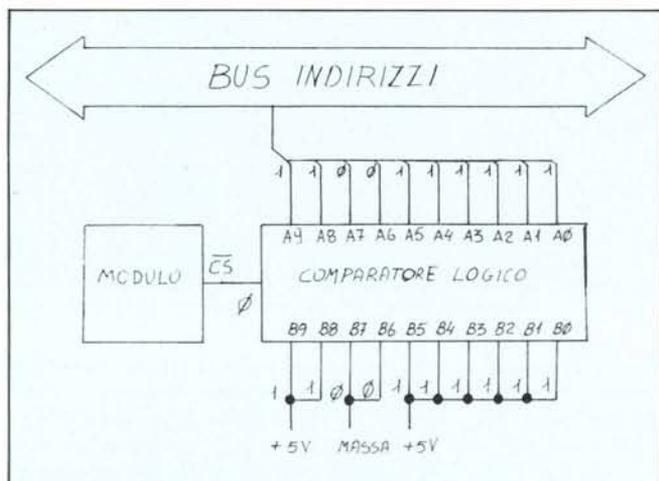


Figura 8 - Selezione dell'indirizzo 1100111111 con Comparatore Logico.

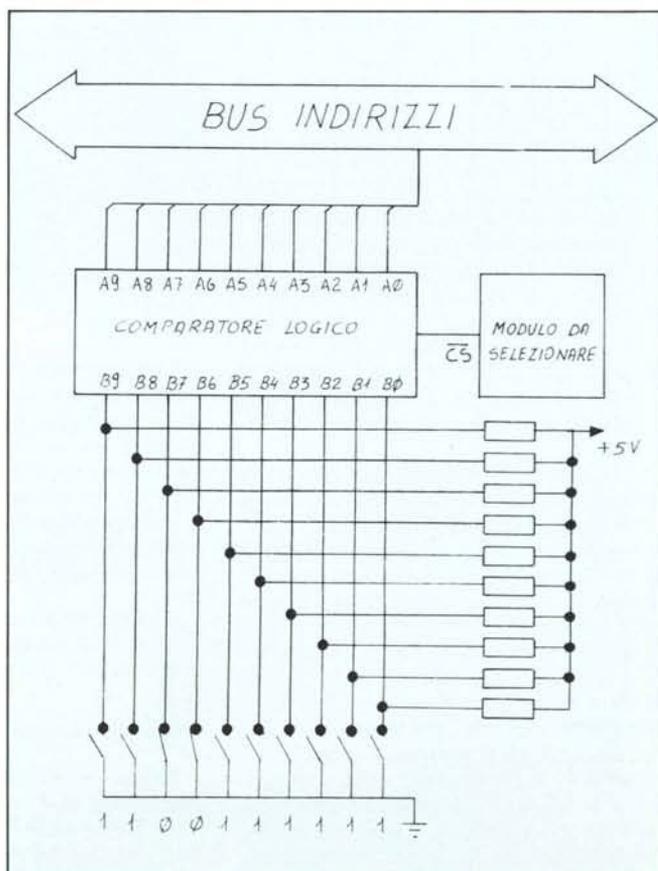


Figura 9 - Ponendo degli interruttori sugli ingressi di un Comparatore Logico potremo variare a piacimento l'indirizzo da decodificare.

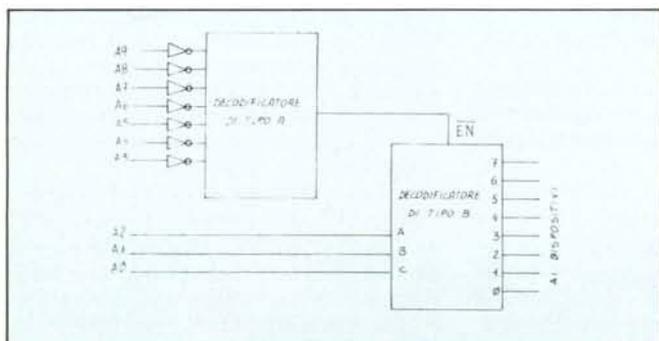


Figura 12 - Mappatura di otto dispositivi nelle prime otto locazioni dello spazio degli indirizzi accoppiando due dei Decodificatori descritti.

quella che utilizza un Comparatore Logico. Supponiamo di averne uno da 10+10 ingressi. Con lo schema illustrato nella figura 8 riusciremo a rendere attivo il dispositivo interessato, grazie ad una condizione "0" sul suo terminale CS, solo quando sul Bus Indirizzi verrà posta la combinazione 1100111111. Inoltre se sulle linee dell'ingresso B porremo degli interruttori che collegano le varie linee a massa o a +5 volt, secondo le nostre esigenze, riusciremo a spostare la locazione da indirizzare in qualunque punto nello spazio degli indirizzi semplicemente cambiando la combinazione degli interruttori (figura 9).

### Il secondo decodificatore

Supponiamo questa volta di voler selezionare otto moduli diversi, ciascuno posto in una locazione diversa dello spazio indirizzabile.

Potremmo impiegare per lo scopo otto decoder del tipo precedentemente utilizzato, ma ciò porterebbe un ingombro notevole, per non parlare del costo. Entra allora in ballo il "Decodificatore di tipo B" di cui abbiamo illustrato le funzioni nel primo paragrafo. Con esso, collegandolo come rappresentato nella figura 10, è possibile ottenere lo scopo voluto. La prima cosa da osservare è che nel nostro esempio, per semplificare le cose, terremo l'uscita del decoder sempre abilitata collegando a massa il terminale EN.

Fatto questo collegheremo i tre ingressi A-B-C alle linee di indirizzo più alte (A9, A8 ed A7). In queste condizioni, è immediato il fatto che l'indirizzo 000xxxxxxx, dove le x indicano una condizione qualsiasi sulle linee da A6 ad A0, porterà la prima uscita del decoder in condizione "0" ed abiliterà il primo modulo (stiamo supponendo che i vari elementi vengano abilitati naturalmente da uno "0"). L'indirizzo 100xxxxxxx renderà invece attiva la seconda uscita, quindi il secondo modulo e così via, come è riassunto nella tabella seguente:

Indirizzo	modulo abilitato
000xxxxxxx	primo
001xxxxxxx	secondo
010xxxxxxx	terzo
011xxxxxxx	quarto
100xxxxxxx	quinto
101xxxxxxx	sesto
110xxxxxxx	settimo
111xxxxxxx	ottavo

le tre linee usate per la selezione, come è facile verificare, servono ad abilitare unicamente con le loro combinazioni uno o

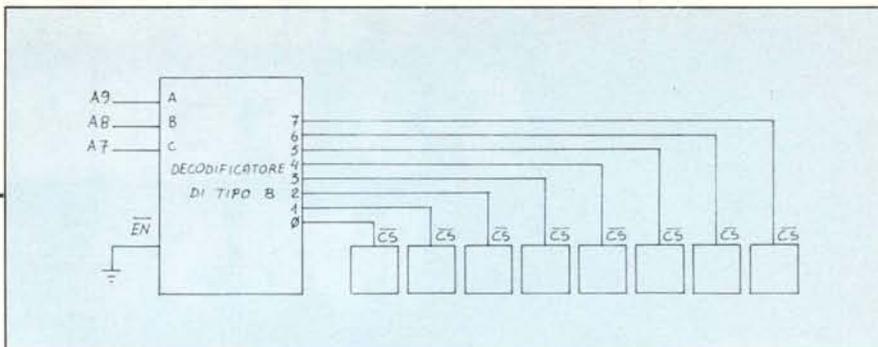


Figura 10 - Selezione di più moduli con un Decoder di tipo B.

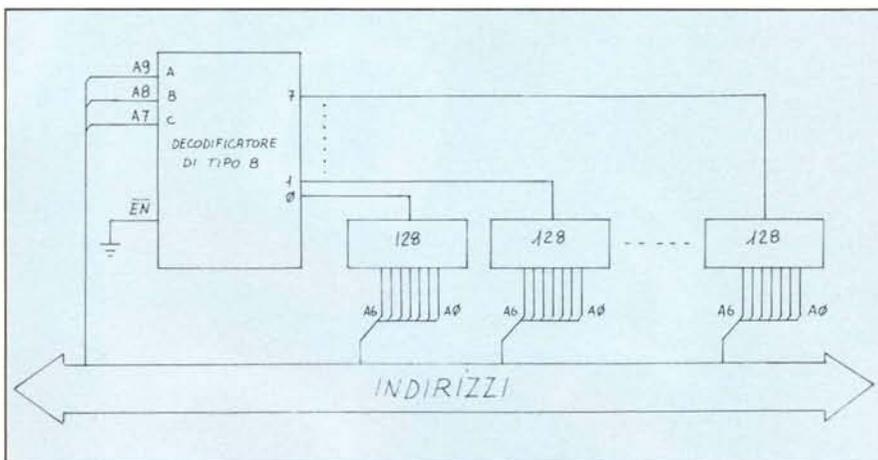


Figura 11 - Decodifica di otto zone di 128K con un Decoder di tipo B.

l'altro dei dispositivi e nel sistema non si genera alcuna sovrapposizione.

È utile notare che il metodo appena illustrato può essere impiegato per mappare gli otto moduli assegnando a ciascuno di essi una zona di 128 locazioni nello spazio degli indirizzi. Se i moduli in questione fossero delle memorie da 128 byte ciascuna, avremmo ottenuto di distribuirle uniformemente nel nostro spazio come è rappresentato nei dettagli della figura 11.

Ci chiediamo ora: — se volessimo disporre i nostri otto moduli nelle prime otto locazioni dello spazio indirizzabile, in che modo potremmo fare senza necessariamente impiegare otto decoder?

### Combinazione di tecniche

La risposta ci viene dalla combinazione, in un circuito, dei due decodificatori (di tipo A e B) come illustrato chiaramente dalla figura 12 dove vediamo che le sette linee più alte degli indirizzi vengono collegate, tramite degli Inverter, agli ingressi di un decodificatore di tipo A e le ultime tre, quelle meno significative, ad uno di tipo B.

Il funzionamento è semplice. Per indirizzi compresi tra 0000000000 e 0000000111, vengono abilitati in sequenza gli otto dispositivi a seconda del valore che assumono le tre linee meno significative. Finché quindi sono presenti degli "0" sulle ultime sette linee, l'uscita del decodificatore di tipo A è bassa e mantiene abilitato il secondo decoder. Quando viene invece selezio-

nato qualunque altro indirizzo che ponga ad 1 una qualsiasi delle altre sette linee più significative, l'uscita del primo decoder va a livello basso e, disabilitando il secondo decodificatore, non potrà più essere selezionato alcun modulo.

Tutte queste cose sembrano complicate a parole mentre risultano immediate osservando un po' più attentamente la figura 12.

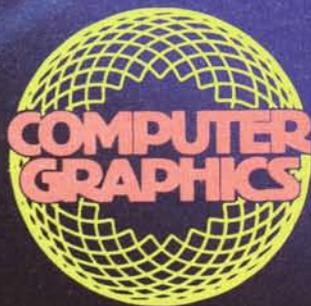
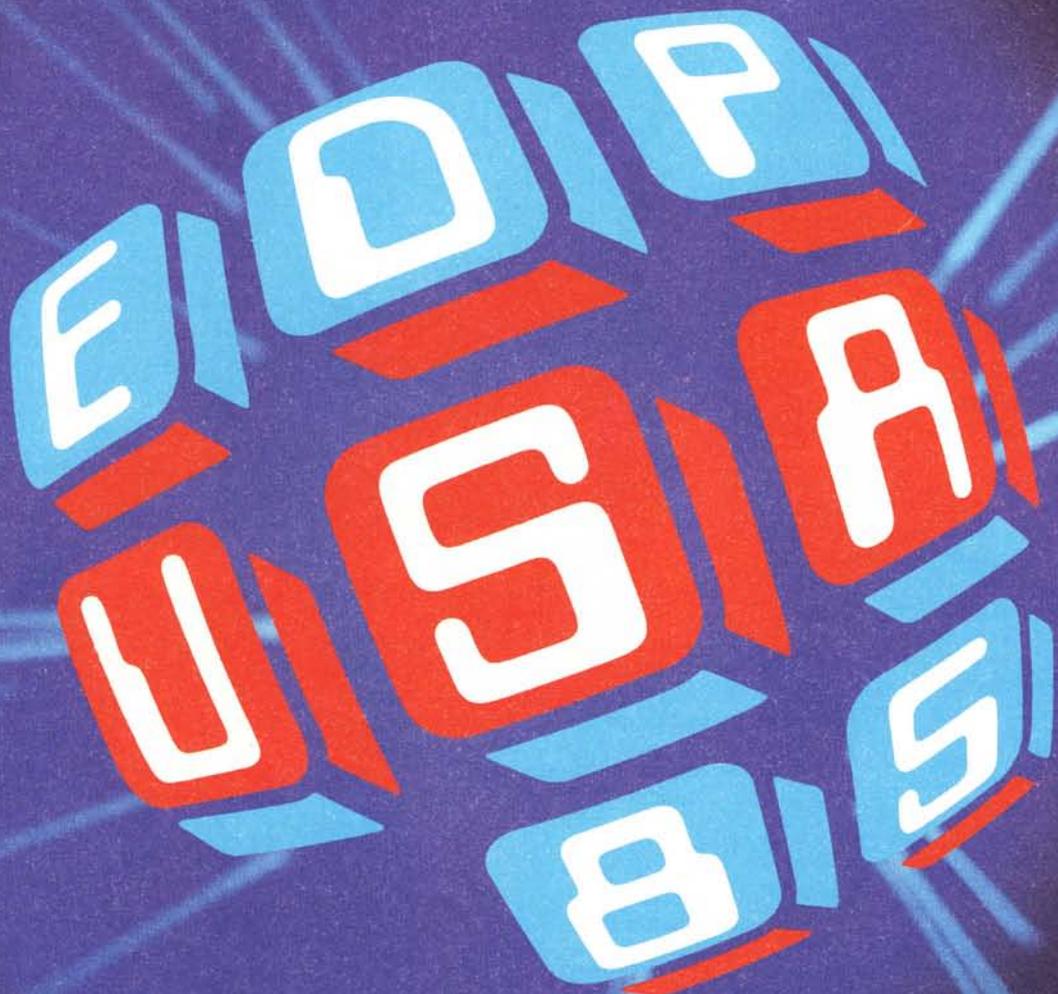
### Conclusioni

Potremmo andare avanti ancora a lungo con gli esempi riempiendo pagine di schemi e sicuri di non riuscire a coprire interamente la grande varietà di casi che potrebbero presentarsi. D'altra parte, per realizzare un progetto, è necessaria anche dell'intuizione che porti alla risoluzione del problema specifico andando ben oltre i fatti già noti. La cosa importante è invece la conoscenza degli elementi basilari che rappresentano sempre un punto di partenza da approfondire caso per caso. Noi abbiamo condotto i nostri esempi considerando 10 linee di indirizzo, ma i concetti fondamentali e le conclusioni sarebbero state le stesse anche se avessimo ragionato su 16 o 160 linee. Speriamo comunque di essere riusciti, nel corso degli articoli dedicati all'argomento, a darvi se non altro un'idea di come si svolgono, in maniera del tutto automatica, dei processi specifici all'interno di una macchina e di aver dissolto, almeno per i neofiti, un po' di quell'alone di esoterismo legato ad essi.

# MILANO

## 5-8 FEBBRAIO

### 1985 MOSTRA E SEMINARIO



**CENTRO COMMERCIALE  
AMERICANO**

Via Gattamelata 5 - 20149 Milano  
Tel. 02/4696451 Telex 330208 USIMC I

Tutte le più sofisticate proposte della tecnologia americana nel settore dell'informatica "concentrate" in un'unica mostra, una mostra che specializzandosi ulteriormente di anno in anno, è giunta alla XIV edizione. Riproponendo un'iniziativa che già lo scorso anno è stata accolta con grande interesse dagli operatori del settore, un intero padiglione verrà dedicato esclusivamente al COMPUTER GRAPHICS ed alle sue applicazioni. In concomitanza con la mostra e quale momento di aggiornamento e approfondimento delle più attuali tematiche dell'informatica, si terranno due seminari di studio: 6-7 FEBBRAIO - in collaborazione

con la CITIBANK N.A.: "Cinque tecnologie innovative per l'informatica e loro applicazioni: integrazione circuitale, optical disc, I/O voice, business graphics e linguaggi della quarta generazione". Coordinatore: Dr. Gianfranco Minati. Quota di partecipazione: Lire 200.000. 8 FEBBRAIO: "La grafica nella realtà aziendale e industriale". Coordinatore: Ing. Roberto Favero. Quota di partecipazione: Lire 100.000. Per ulteriori informazioni sulla mostra e sulle modalità di partecipazione al seminario, contattare: CENTRO COMMERCIALE AMERICANO - TEL. 02/4696451 - TELEX 330208 USIMC I.